

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-054653

(43)Date of publication of application : 05.03.1993

(51)Int.Cl.

G11C 11/409

H01L 27/108

(21)Application number : 03-218267

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 29.08.1991

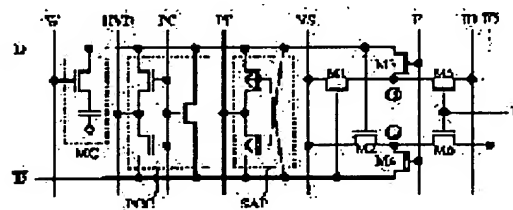
(72)Inventor : KATO SHISEI
AKIBA TAKESADA
KAWAHARA TAKAYUKI
KITSUKAWA GORO
KAWAJIRI YOSHIKI
KAWASE YASUSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To read with a high speed by using a signal line for read and a signal line for write in common and also using NMOS transistors in an amplifier circuit as MOS transistors in a read out circuit.

CONSTITUTION: In the case of writing a low level VS in D and a high level VD in the inverse of D, IO is inverted from the high level to the low level and the inverse of IO is inverted from the low level to the high level by the circuit of a poststage. Consequently, D is discharged to the low level IO by means of the MOS transistors M3, M5, and the inverse of D is charged from the high level the inverse of IO by means of the MOS transistors M4, M6. When the potential of D, the inverse of D varies, they are immediately amplified by the MOS transistors M1, M2 and an SAP circuit, and D is inverted to the low level VS and the inverse of D to the high level. At this time, as a word line W is a high level VW, the potential of D is written in a memory cell MC. Thus, the differential voltage signal of D and the inverse of D can be read out with a high speed as a current differential.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

This Page Blank (uspto;

rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspi

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 5 4 6 5 3

(43) 公開日 平成 5 年 (1 9 9 3) 3 月 5 日

(51) Int. Cl. ⁵

G11C 11/409

H01L 27/108

識別記号

庁内整理番号

F I

技術表示箇所

8320-5L

8728-4M

G11C 11/34

H01L 27/10

353

325

A

P

審査請求 未請求 請求項の数 1 (全 6 頁)

(21) 出願番号 特願平 3 - 2 1 8 2 6 7

(22) 出願日 平成 3 年 (1 9 9 1) 8 月 2 9 日

(71) 出願人 0 0 0 0 0 5 1 0 8

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 0 0 0 2 3 3 0 8 8

日立デバイスエンジニアリング株式会社

千葉県茂原市早野 3 6 8 1 番地

(72) 発明者 加藤 至誠

千葉県茂原市早野 3 6 8 1 番地 日立デバ

イスエンジニアリング株式会社内

(72) 発明者 秋葉 武定

千葉県茂原市早野 3 6 8 1 番地 日立デバ

イスエンジニアリング株式会社内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体装置

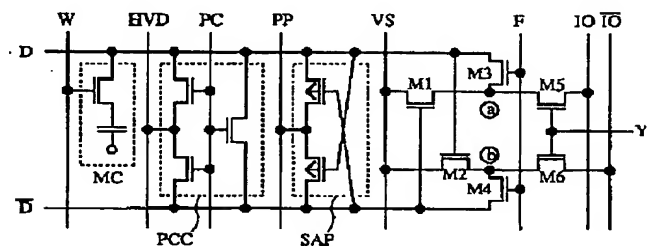
(57) 【要約】

【目的】 従来 D R A M において、高速読出しは構成素子数を増やすことにより行っていた。その結果、チップ面積が増大する問題が発生する。この問題に対処するため、従来と同様の高速読出しを可能とする構成素子の少ない回路構成を提案し、D R A M チップ面積の低減を図る。

【構成】 読出し信号線、書込み信号線を共通化する。さらに、増幅回路の N M O S トランジスタを読出し回路の M O S トランジスタと兼用し、再書き込み動作時だけでなく、読み出し動作時および書込み動作時にも使用する。

【効果】 従来と同等の高速読出しを可能としたまま構成素子数および使用配線数が低減できるため、D R A M チップの面積が低減が実現できる。

(図 1)



【特許請求の範囲】

【請求項 1】 差動増幅回路を構成する 2 つの MOS トランジスタ M1, M2 において、信号発生回路が接続された信号線対 D, /D が該 2 つの MOS トランジスタのゲートに接続され、該 2 つの MOS トランジスタの 2 つのソースに同電位 VS を供給する手段を有し、該 2 つの MOS トランジスタ M1, M2 のドレインと該信号発生回路が接続された該信号線対 D, /D との間に各々第 1 のスイッチ MOS トランジスタ M3, M4 を有し、該 2 つの MOS トランジスタ M1, M2 のドレイン a, b と他の端子 IO, /IO との間に各々第 2 のスイッチ MOS トランジスタ M5, M6 を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ダイナミックメモリのデータ線に接続される読出し／書込み回路、増幅回路の素子数の低減、占有面積の低減に関する。

【0002】

【従来の技術】 従来ダイナミックメモリのアクセス時間を高速化するためアイ・イー・イー・イー・ジャーナル・オブ・ソリッドステートサーキット 1990 年 10 月号の 1102 頁～1111 頁 (IEEE Journal of solid-state Circuits October 1990, pp. 1102～1111) で示されたダイレクトセンス回路が知られている。図 8 にその回路を示す。読出し回路 RM があることが特徴である。なお、以下の説明においてコンプリメンタリ信号は図面では記号にオーバーラインを付け、文章では記号の前に / を付けて表す。また特にことわらない限り端子名を表す記号は同時に配線名、信号名も兼ね、電源の場合はその電圧値も兼ねるものとする。図 8 において、MC がメモリセル、W がワード線、D, /D がデータ線、RA がデータ線増幅回路であり、PP, PN がその駆動信号である。PCC はプリチャージ回路であり PC がその制御信号、HVD はプリチャージ電圧供給線である。RM は読出し回路であり、データ線 D, /D の微小信号電圧差に応じて読出し信号線 RO, /RO に微小信号電流差を発生する。YSR は RM の制御信号である。また、WM は書込み回路で、WI, /WI は書込み信号線である。YSW は WM の制御信号である。図 9 はこの DRAM の読出し動作を示す。図中に付した信号レベルのうち VS は全回路に共通の低位側電源電圧、VC は周辺回路の高電位、VW はワード線の高電位、VD はデータ線の高電位である。まず、データ線 D, /D をプリチャージ回路 PCC により HVD の電圧にプリチャージした後、PC を低レベルとし D, /D をフローティングとする。次に、ワード線 W を高レベルにすることによりメモリセル MC からデータ線 D へ読出し信号電圧が発生する。メモリセルが接続されない /D は HVD レベルのままである。列選択信号 YSR はワード線 W と同時

に高レベルに立ち上げられ、読出し回路 RM が活性化され、D, /D の電圧差に応じた電流が RO, /RO から VS に向かって流れる。図には示していないが、この微小な電流差を後段のアンプが増幅する。次に PP, PN により、RA が活性化され D, /D の電圧差が増幅される。次に書込みについて述べる。書込みは YSW が高レベルに立ち上げられると、D は WI により低レベルに引き抜かれ、/D は /WI により高レベルに充電され、前のデータが反転される。この変化を更に増幅回路 RA が増幅する。

【0003】

【発明が解決しようとする課題】 図 8 は読出し専用の RM を付加したことにより、高速読出しが可能だが、その分素子数が増える。その結果 RM のない従来のコモンセンス方式に比べチップ面積が 1 メガビットの場合、約 5 % 増加する。この増加を防ぐことが課題である。

【0004】

【課題を解決するための手段】 上記課題を解決するためには、読出し信号線 RO, /RO および書込み信号線 WI, /WI を共通にする。さらに、増幅回路 RA の NMOS トランジスタと読出し回路 RM の NMOS トランジスタを兼用し、再書込み動作時だけでなく、読出し動作時および書込み動作時にも動作させることにより構成素子数を低減する。

【0005】

【作用】 構成素子数および配線数が減少することにより面積が減少し、ひいては DRAM のチップの面積が低減できる。

【0006】

【実施例】 以下、本発明の実施例について述べる。

【0007】 図 1 は本発明の第 1 の実施例を示す図である。DRAM の増幅回路を例にしている。MC はメモリセルであり、ワード線 W が選択されるとその情報が D に出力される。D, /D は MOS トランジスタ M1～M6 で構成される増幅および読出し／書込み回路の入出力端子であり、F はその制御信号である。IO, /IO は読出し時の出力端子と書込み時の入力端子を兼ねており、YS はその制御信号である。PCC は D, /D をショートし同電位 HVD にプリチャージする回路であり、PC はその制御信号、HVD はプリチャージ用電源である。SAP も D, /D を入出力端子とする PMOS 増幅回路であり、その制御信号は PP である。

【0008】 YS は列選択信号で Y デコーダ出力である。図 2 を用いて本実施例の読出し動作を説明する。最初、PC は高レベル VC であり、D, /D は HVD の電圧にプリチャージされている。尚、図 1 において IO, /IO の動作波形は後段回路の負荷抵抗により電流差を電圧差に変換したものを記載した。この時 F, W, YS, PP は低レベル VS の電圧となっている。MOS トランジスタ M3 から M6 はオフしている。まず、PC が

高レベルVCから低レベルVSへと変化しD、 \bar{D} はフローティングとなる。つぎに、ワード線Wが低レベルVSから高レベルVWとなるとMCから信号がDに発生しD、 \bar{D} に差動電圧信号が生じる。YSが高レベルに立ち上げられ、MOSトランジスタM5、M6がオンして、D、 \bar{D} の差動電圧信号に応じた電流差がIO、 \bar{IO} に現われる。ここでは説明しないが、IO、 \bar{IO} の電流差は後段の回路で電圧差として取り込みラッチされる。次に、再書き込み動作に入り、Fが高レベルVCとなり、M3、M4がオンしてM1とM2とゲートとドレインとを交差接続する通常のセンスアンプと同じ構成となる。これによってD、 \bar{D} の電圧差を増幅する。ある程度大きい信号電圧が発生したところでPPをHVDからVDとし、D、 \bar{D} を高レベルVD、低レベルVSまで増幅する。

【0009】次に図3を用いて第1の実施例の再書き込み動作について説明する。ワード線Wが高レベルVW、YSが高レベルVCとなり、メモリセルMCから信号がDに発生しD、 \bar{D} に差動電圧信号が生じ、IO、 \bar{IO} にこれに応じた電流差が現われる。次に、PP、Fが高レベルVDとなり、MOSトランジスタM1、M2およびSAP回路によりD、 \bar{D} が高レベルVD、低レベルVSまで増幅されるまでは図2の読出し動作と同じである。ここで、Dに低レベルVSを \bar{D} に高レベルVDを書き込む場合、まず、IO、 \bar{IO} が後段回路により、IOは高レベルから低レベルへ、 \bar{IO} は低レベルから高レベルへ反転させられる。これによりDはMOSトランジスタM3、M5により低レベルのIOに放電され、 \bar{D} はMOSトランジスタM4、M6により高レベルの \bar{IO} から充電される。D、 \bar{D} の電位が変動すると直ちにMOSトランジスタM1、M2およびSAP回路によりその変化を加速するように増幅され、Dは高レベルVDから低レベルVSに、 \bar{D} は低レベルVSから高レベルVDに反転させられる。この時ワード線Wは高レベルVWなのでDの電位はメモリセルMCに書き込まれる。このように、本発明によれば、図8の従来回路よりNMOSトランジスタが2個減少しても、従来同様にD、 \bar{D} の差動電圧信号を電流差として高速に読出すことができる。また、MOSトランジスタM1、M2の共通ソースが従来パルス信号であったものを電源線VSにすることにより幅広い信号線が必要なくなった。さらに、読出し出力/書き込み入力を兼用したIO、 \bar{IO} を用いることにより配線を2本、制御信号を1本減らすことが可能であり、回路の面積を従来より小さくすることができる。図2、3で用いた電源電圧VC、VS、VD、VWの例は以下の値をとる。VC=2.0V、VS=0V、VD=1.5V、VW=2.5Vである。また、メモリセルMCの例としては、1トランジスタ、1キャパシタの通常のDRAMセルや2トランジスタ、1キャパシタのツインセルまたは2トランジスタや3トランジ

スタのゲインセルまたは誘電体を用いた不揮発性セルなどの特殊なDRAMセル、或いは4トランジスタ、2負荷抵抗や6トランジスタのSRAMのセル或いはEEPROMの不揮発性セル等が挙げられる。

【0010】図4は本発明の第2の実施例を示す図である。Wはワード線、D、 \bar{D} はデータ線、MCはメモリセル、PCCはプリチャージ回路でPCはその制御信号、NMOSトランジスタM1~M6は読出し書き込み増幅回路であり、YSは読出し書き込み制御信号、Fは増幅制御信号である。図1の第1の実施例においてSAPの制御信号PPを廃止し、データ線D、 \bar{D} の増幅の制御をFのみで行なう。図5を用いて動作の説明をする。まず、PCは高レベルVCであり、D、 \bar{D} はHVDにプリチャージされている。Fは低レベルVSである、IO、 \bar{IO} はHVDであり、W、YSは低レベルVSである。PCが低レベルVSとなると、D、 \bar{D} はフローティングとなる。ここで、Wが高レベルVW、YSが高レベルVCとなり、MCから信号がDに発生するとともにNMOSトランジスタM5、M6がオンしてD、 \bar{D} に発生している電圧差が電流差として後段の回路にIO、 \bar{IO} を通して信号が伝達される。次に、Fが高レベルVCとなると、SAP回路のPMOSトランジスタおよびNMOSトランジスタM1、M2により増幅が開始される。このように本実施例を用いれば図1の実施例と同様にデータ線D、 \bar{D} の差動電圧信号を電流差として高速に読出すことができ、さらにD、 \bar{D} のVDおよびVSの増幅動作を制御する信号が1本となることから回路の面積を図1の実施例より低減することができる。また、D、 \bar{D} の増幅動作のタイミングを同一にすることが可能となる。

【0011】図6は本発明の第3の実施例を示す図である。MC、PCCは図1、図2の実施例と同様であるが、図2の実施例と同様にSAP回路の制御信号PPを廃止し、新たにSAP回路のPMOSトランジスタの共通ソースにPMOSトランジスタM7を設け、電源線VDに接続している。F2はPMOSトランジスタM7のゲートの入力端子である。SAP回路のPMOSトランジスタとNMOSトランジスタM1、M2は図8の従来回路と同様の構成であるが、M1、M2の各々のドレインはD、 \bar{D} とNMOSトランジスタM3、M4を介して接続されており、F1はその制御信号である。IO、 \bar{IO} は図1と同様に読出し時の出力端子と書き込み時の入力端子を兼ねており、YSはその制御信号である。図7を用いてこの動作を説明する。まず、PCは高レベルVCであり、D、 \bar{D} はHVDにプリチャージされている。F1は低レベルVS、F2は高レベルVDである、W、YSは低レベルVSである。PCが低レベルVSとなると、D、 \bar{D} はフローティングとなる。ここで、Wが高レベルVW、YSが高レベルVCとなり、MCから信号がDに発生するとともにNMOSトランジスタM

5

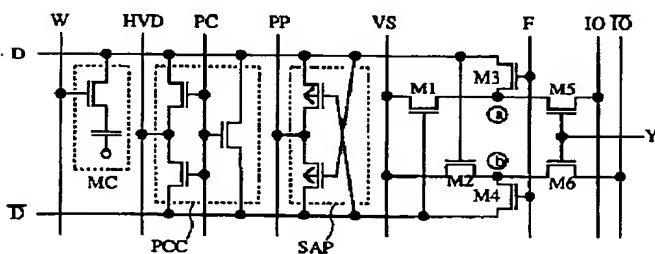
5, M6 がオンして D, /D に発生している電圧差が電圧差として後段の回路に I O, /I O を通して信号が伝達される。次に、F 2 が低レベル V S となり、F が高レベル V C となると、S A P 回路および N M O S トランジスタ M 1, M 2 により増幅が開始される。このように本実施例を用いれば図 1, 図 2 および図 8 の従来回路において S A P 回路の P M O S トランジスタの共通ソースがパルス信号であったものを電源線 V D にすることにより、N M O S トランジスタ M 1, M 2 の共通ソースを電源線 V S にした場合と同様に幅広い信号線がさらに必要

【 0 0 1 2 】

【発明の効果】本発明は、増幅回路の N M O S トランジスタを読み出し回路の M O S トランジスタとして兼用することにより構成素子数を低減することができる。さらに読み出し信号線と書き込み信号線を共通とすることにより配線数も低減できる。これにより回路の面積が低減できることから、従来と同等の高速読み出しが可能でありながら D R A M チップの面積を低減することが可能な半導体装置を実現する。

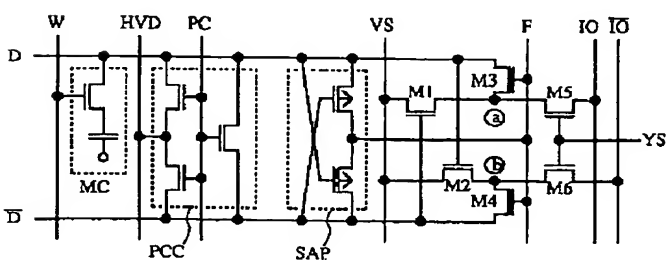
【 図 1 】

(図 1)



【 図 4 】

(図 4)



6

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施例を示す図。

【 図 2 】 第 1 の実施例の読み出し動作を説明する図。

【 図 3 】 第 1 の実施例の書き込み動作を説明する図。

【 図 4 】 本発明の第 2 の実施例を示す図。

【 図 5 】 第 2 の実施例の動作を説明する図。

【 図 6 】 本発明の第 3 の実施例を示す図。

【 図 7 】 第 3 の実施例の動作を説明する図。

【 図 8 】 従来例。

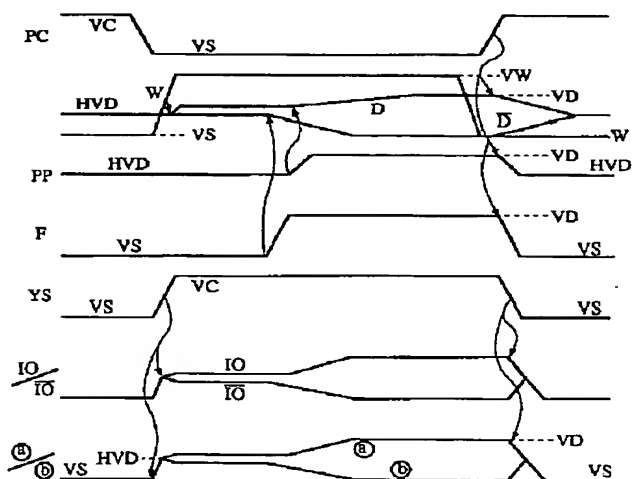
【 図 9 】 従来例の動作を説明する図。

【 符号の説明 】

D, /D…増幅回路の入出力端子、D R A M のデータ線、M C…入力信号を発生する回路、D R A M のメモリセル、V D…入出力線増幅後の高レベル、V S…入出力線増幅後の低レベル、低電位電源電圧、V C…高電位電源電圧、W…ワード線、V W…ワード線高レベル、P C…ショート、プリチャージ回路、S A P…P M O S 増幅回路、R M…読み出し用スイッチングトランジスタ回路、W M…書き込み用スイッチングトランジスタ回路、P C…ショート、プリチャージ回路制御信号、H V D…入出力線プリチャージ電圧、P P…P M O S 増幅回路制御信号、Y S R…R M の制御信号、Y S W…W M の制御信号、M 1 ~ M 6…N M O S 増幅回路を構成する M O S トランジスタ、F, F 1, F 2…増幅回路制御信号、Y S…読み出し・書き込み回路制御信号、I O, /I O…読み出し書き込み信号線。

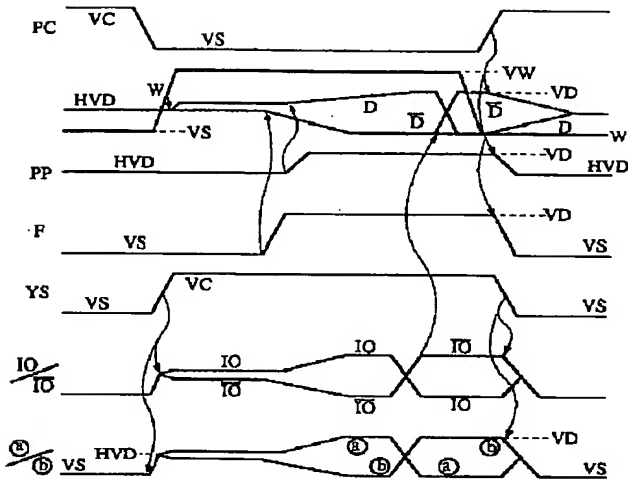
【 図 2 】

(図 2)



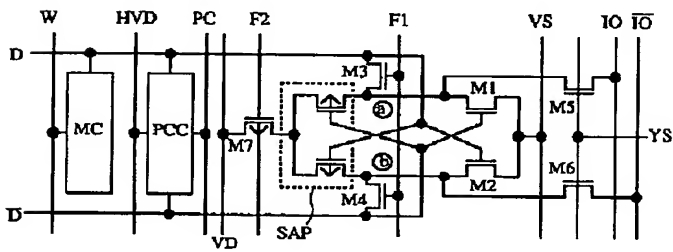
【図 3】

(図 3)



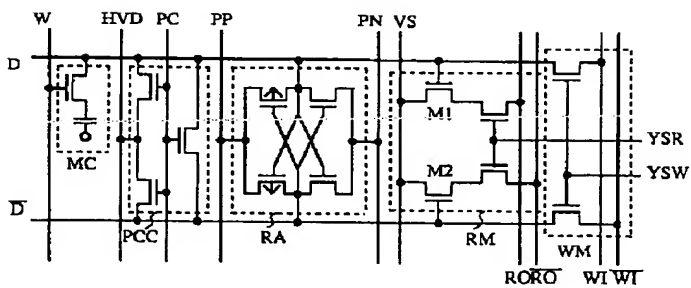
【図 6】

I (図 6)



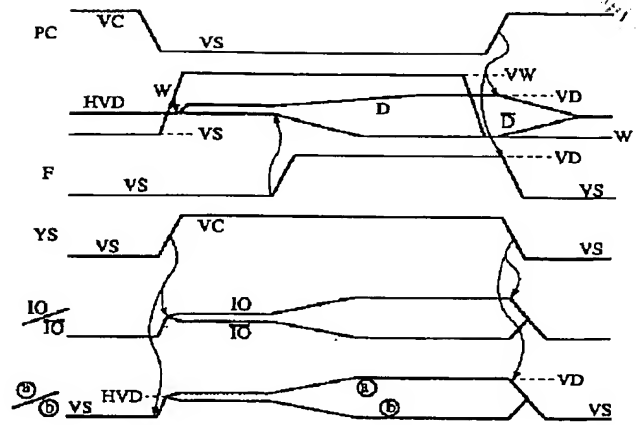
【図 8】

(図 8)



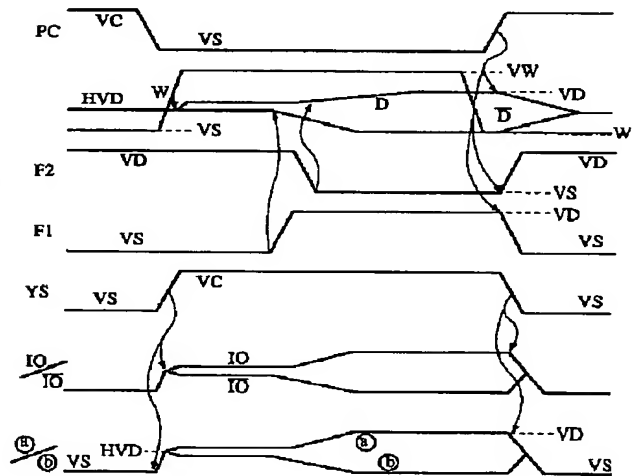
【図 5】

(図 5)

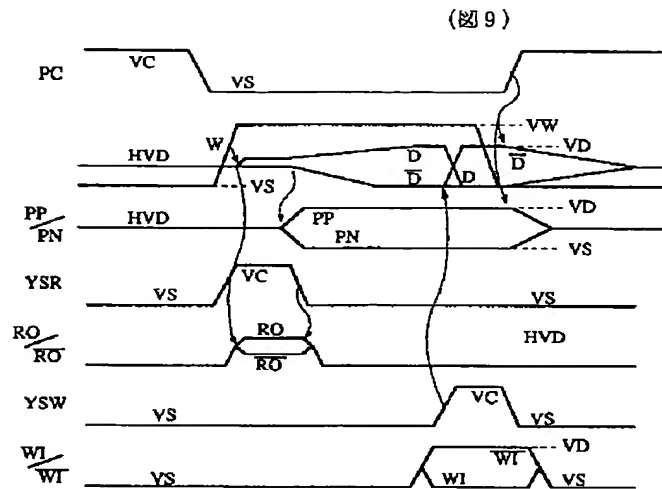


【図 7】

(図 7)



【図 9】



フロントページの続き

- (72) 発明者 河原 尊之
東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地
株式会社日立製作所中央研究所内
- (72) 発明者 橋川 五郎
東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地
株式会社日立製作所中央研究所内
- (72) 発明者 川尻 良樹
東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地
株式会社日立製作所中央研究所内
- (72) 発明者 川瀬 靖
千葉県茂原市早野 3 6 8 1 番地 日立デバ
イスエンジニアリング株式会社内